



## Gemeinsames TUM-LMU Seminar



# Hochleistungsrechner: Aktuelle Trends und Entwicklungen

Einführungsveranstaltung  
20. Oktober 2016  
LMU München  
Amalienstr. 73A, Raum 112

### Web:

<http://www.lrr.in.tum.de/lehre/wintersemester-1617/seminare/hochleistungsrechner-aktuelle-trends-und-entwicklungen/>

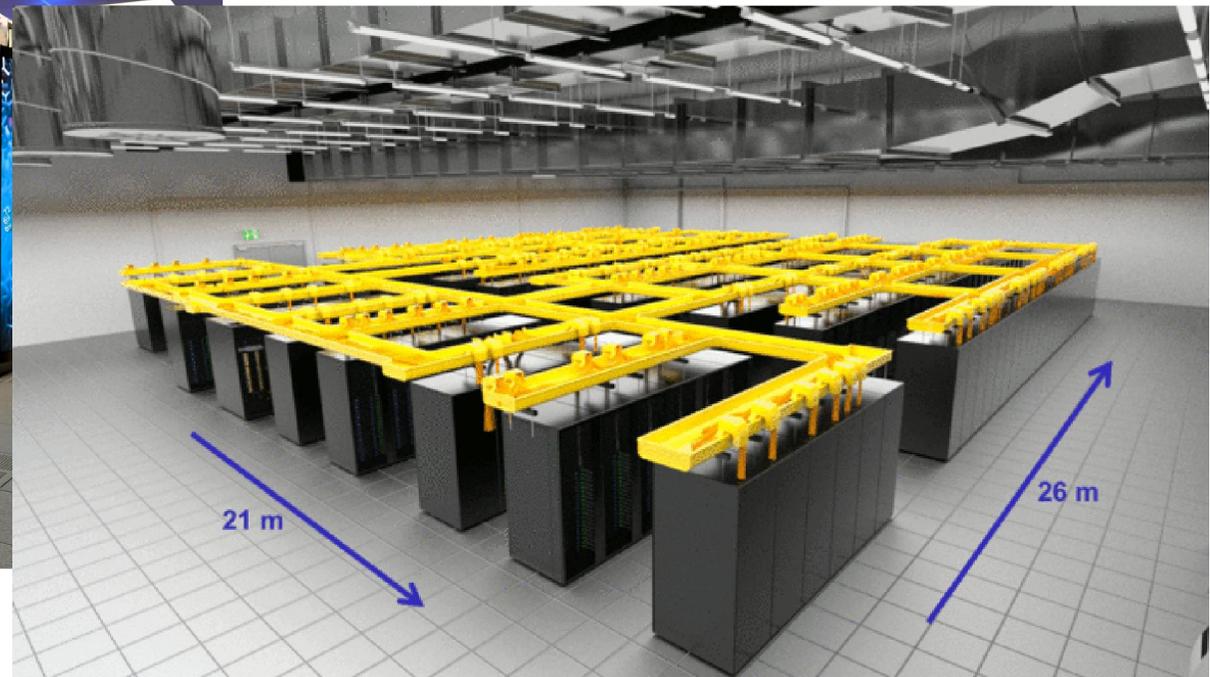
<http://www.mnm-team.org/teaching/Seminare/2016ws/Hauptseminar/>



- HPC = **High Performance Computing**
- Die „Formel 1“ der Informatik
- Große, schnelle, laute, teure Rechner - Supercomputer

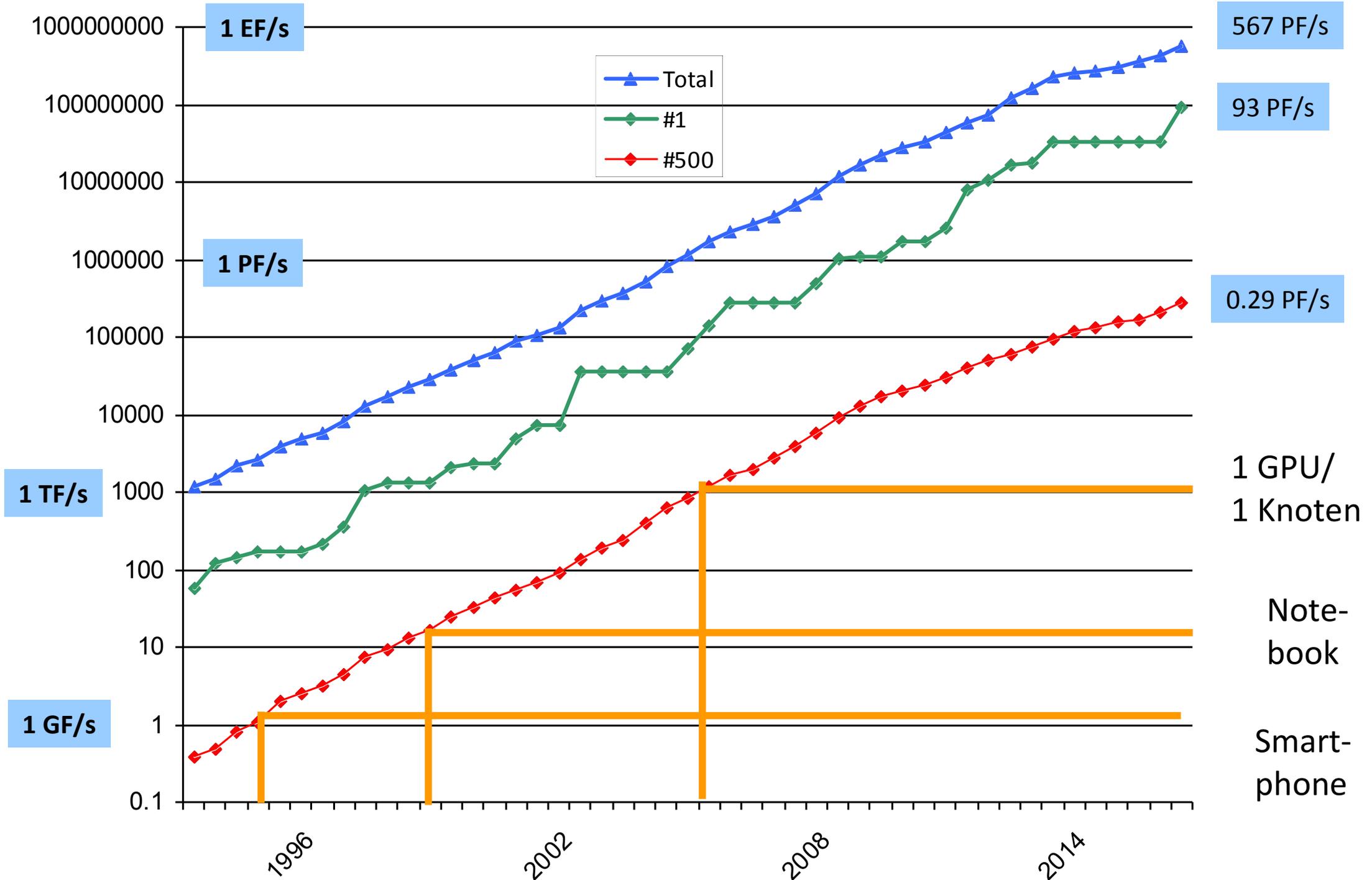


(Titan, Oak Ridge Lab, USA)

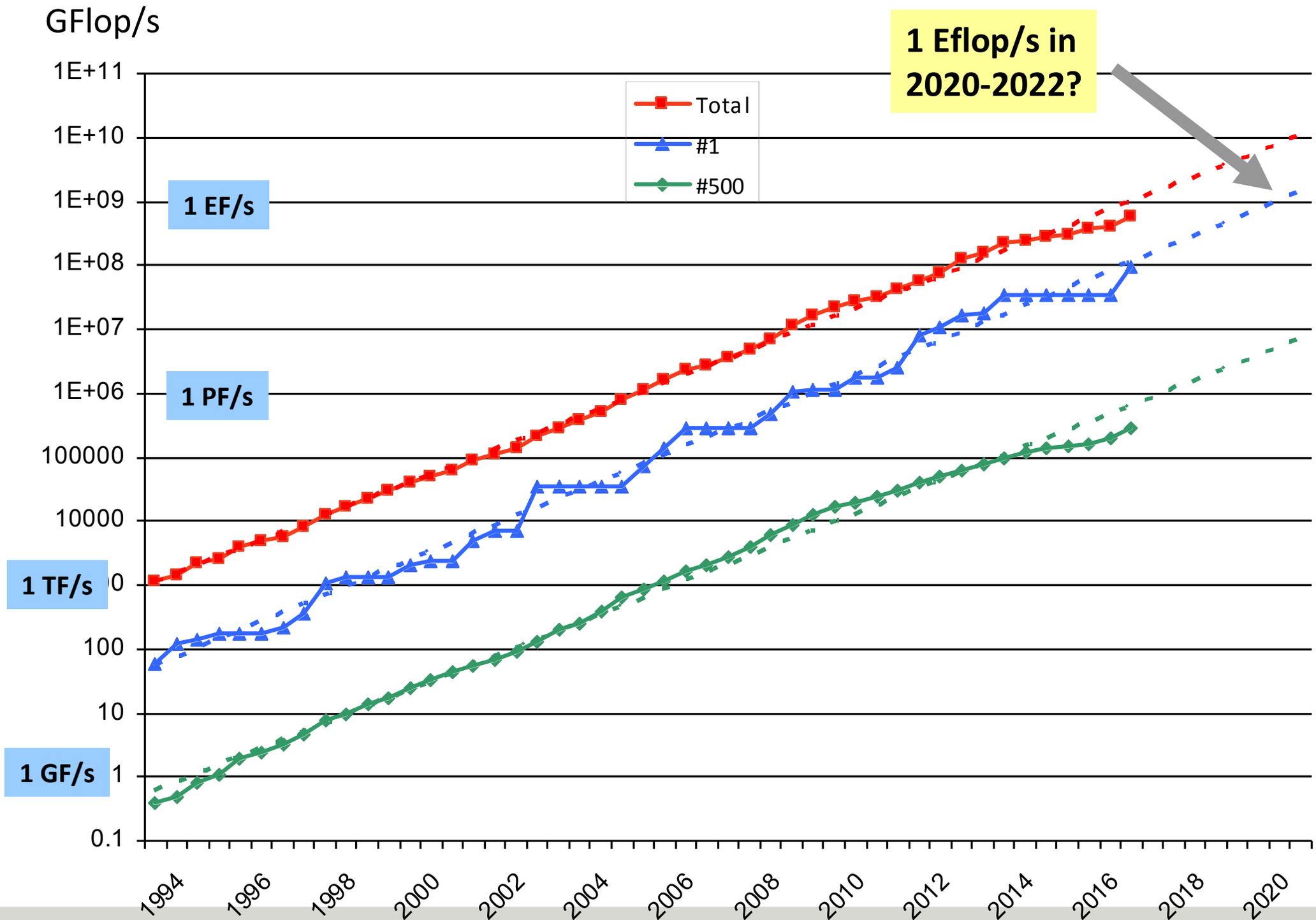


(SuperMUC, Garching, Deutschland)

# Die Top500 Liste (Juni 2016)



# Die Top500 Liste - Extrapolation



## ■ Supercomputing Systeme am LRZ:

System	Era	Peak Performance	Power Consumption	Investment Costs	Total Operating Costs (incl. Power)	Power Bill
HLRB I: Hitachi SR8000	2000 - 2006	1.3 TFLOP/s	0.5 MW	29 M€	13 M€	3 M€
HLRB II: sgi ALTIX 4700	2006 - 2011	62 TFLOP/s	1 MW	35 M€	16 M€	7 M€
SuperMUC: IBM iDataPlex	2012 - 2016	3000 TFLOP/s	3 MW	48 M€	35 M€	22 M€

- Leistungsfähigkeit von HPC Systemen erhöht sich sogar schneller als Moore's Law
- Aber: Energieverbrauch wird immer mehr zum entscheidenden Faktor, insbes. Für Exascale
  - Ziel: 20 MW für 1 ExaFlop = 50000 MFlops/Watt

## Cray XT line of systems

System	MFLOPS/Watt
Cray XT3 (2004)	60
Cray XT4 (2006)	130
Cray XT5 (2007)	150
Cray XT6 (2009)	260
Cray XE6 (2010)	360
Cray XC30 (2012)	620

## IBM BlueGene line of systems

System	MFLOPS/Watt
IBM BlueGene/L (2005)	204
IBM BlueGene/P (2007)	370
IBM BlueGene/Q (2011)	2100

## Accelerator-Based

System	MFLOPS/Watt
„Beacon“ IB/Xeon/Xeon Phi (2012)	2500
Cray XK7 (Opteron/NVIDIA Kepler) (2012)	2100

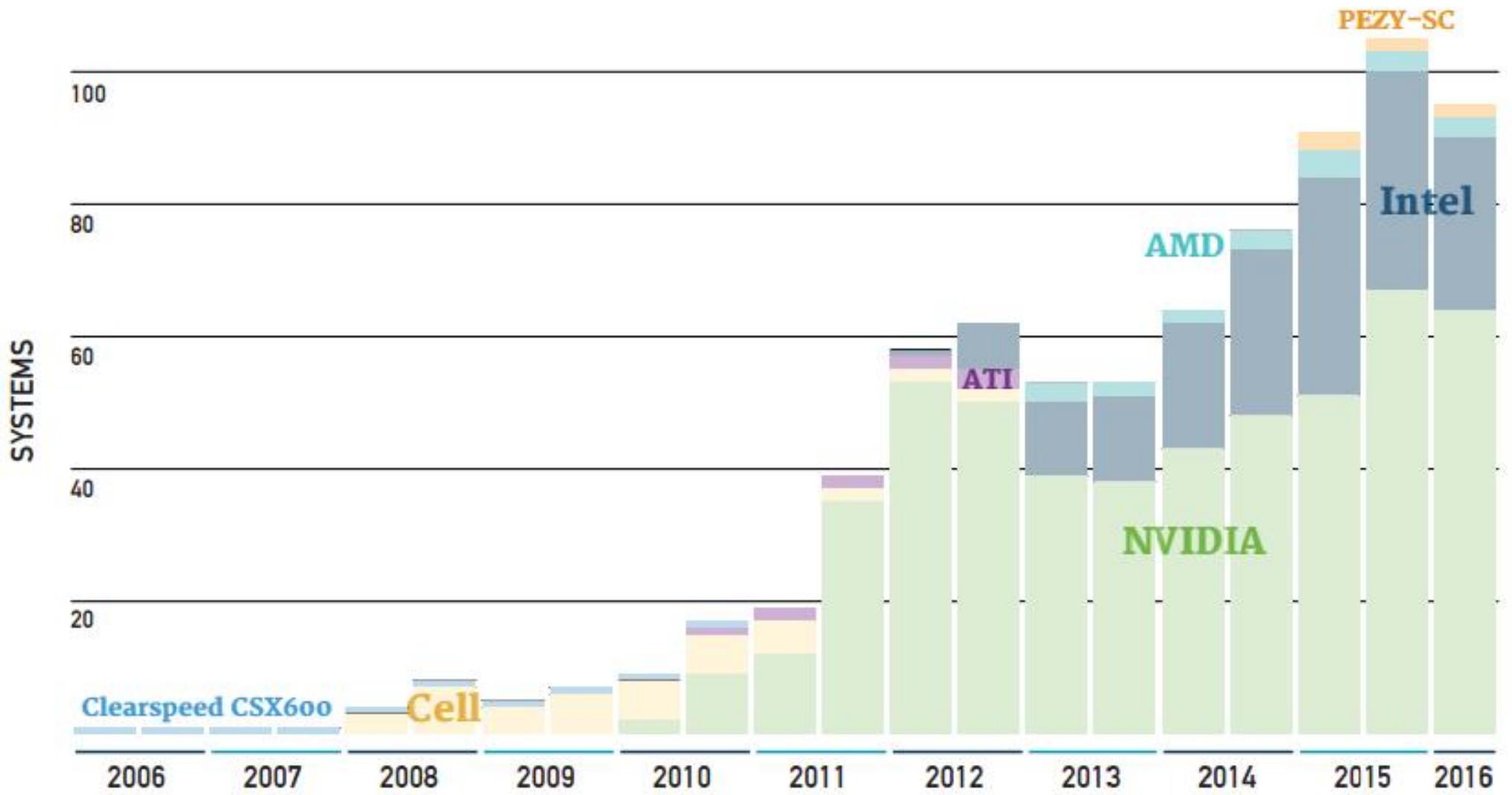
Source: Green500 List

# Green 500 List (Nov 2015)

Green500 Rank	MFLOPS/W	Site*	Computer*	Total Power (kW)
1	7,031.58	Institute of Physical and Chemical Research (RIKEN)	Shoubu - ExaScaler-1.4 80Brick, Xeon E5-2618Lv3 8C 2.3GHz, Infiniband FDR, PEZY-SC	50.32
2	5,331.79	GSIC Center, Tokyo Institute of Technology	TSUBAME-KFC/DL - LX 1U-4GPU/104Re-1G Cluster, Intel Xeon E5-2620v2 6C 2.1GHz, Infiniband FDR, NVIDIA Tesla K80	51.13
3	5,271.81	GSI Helmholtz Center	ASUS ESC4000 FDR/G2S, Intel Xeon E5-2690v2 10C 3GHz, Infiniband FDR, AMD FirePro S9150	57.15
4	4,778.46	Institute of Modern Physics (IMP), Chinese Academy of Sciences	Sugon Cluster W780I, Xeon E5-2640v3 8C 2.6GHz, Infiniband QDR, NVIDIA Tesla K80	65.00
5	4,112.11	Stanford Research Computing Center	XStream - Cray CS-Storm, Intel Xeon E5-2680v2 10C 2.8GHz, Infiniband FDR, Nvidia K80	190.00
6	3,856.90	IT Company	Inspur TS10000 HPC Server, Xeon E5-2620v3 6C 2.4GHz, 10G Ethernet, NVIDIA Tesla K40	58.00
7	3,775.45	Internet Service	Inspur TS10000 HPC Server, Intel Xeon E5-2620v2 6C 2.1GHz, 10G Ethernet, NVIDIA Tesla K40	110.00
8	3,775.45	Internet Service	Inspur TS10000 HPC Server, Intel Xeon E5-2620v2 6C 2.1GHz, 10G Ethernet, NVIDIA Tesla K40	110.00
9	3,775.45	Internet Service	Inspur TS10000 HPC Server, Intel Xeon E5-2620v2 6C 2.1GHz, 10G Ethernet, NVIDIA Tesla K40	110.00
10	3,775.45	Internet Service	Inspur TS10000 HPC Server, Intel Xeon E5-2620v2 6C 2.1GHz, 10G Ethernet, NVIDIA Tesla K40	110.00

- All systems in the top 10 are accelerator-based (mostly using GPUs)

## ACCELERATORS/CO-PROCESSORS



# HPC Systeme der (nahen) Zukunft

	Cori <sup>1</sup> (NERSC)	Sierra, Summit <sup>2</sup> (LLNL, ORNL)	Aurora <sup>3</sup> (ANL)
<b>Inst. Year</b>	2016	2017-2018	2018-2019
<b>Peak Perf.</b>	>30 PF	Complex node architecture	180-450 PF
<b>Power</b>	7 MW	10 MW	
<b>Performance/Power</b>	3 TF	>40 TF	
<b>No. of Nodes</b>	9,300	3,400	>50,000
<b>Node</b>	Intel Xeon Phi (Knights Landing)	IBM Power 9 + Nvidia Volta	Intel Xeon (Knights Landing) + Persistent memory (NVRAM)
<b>Interconnect</b>	Cray Aries	Dual Rail EDR Infiniband	2 <sup>nd</sup> gen Intel Omni Path
<b>Memory</b>	DDR4 + On-package high BW memory	DRAM + stacked DRAM	7 PB DRAM + Persistent Memory

Manycore nodes (70+ cores)

Heterogeneous nodes (accelerator based)

Heterogeneous memory (regular DRAM+stacked RAM)

Persistent memory (NVRAM)

Integrated High-speed interconnect

1: <https://www.nersc.gov/users>

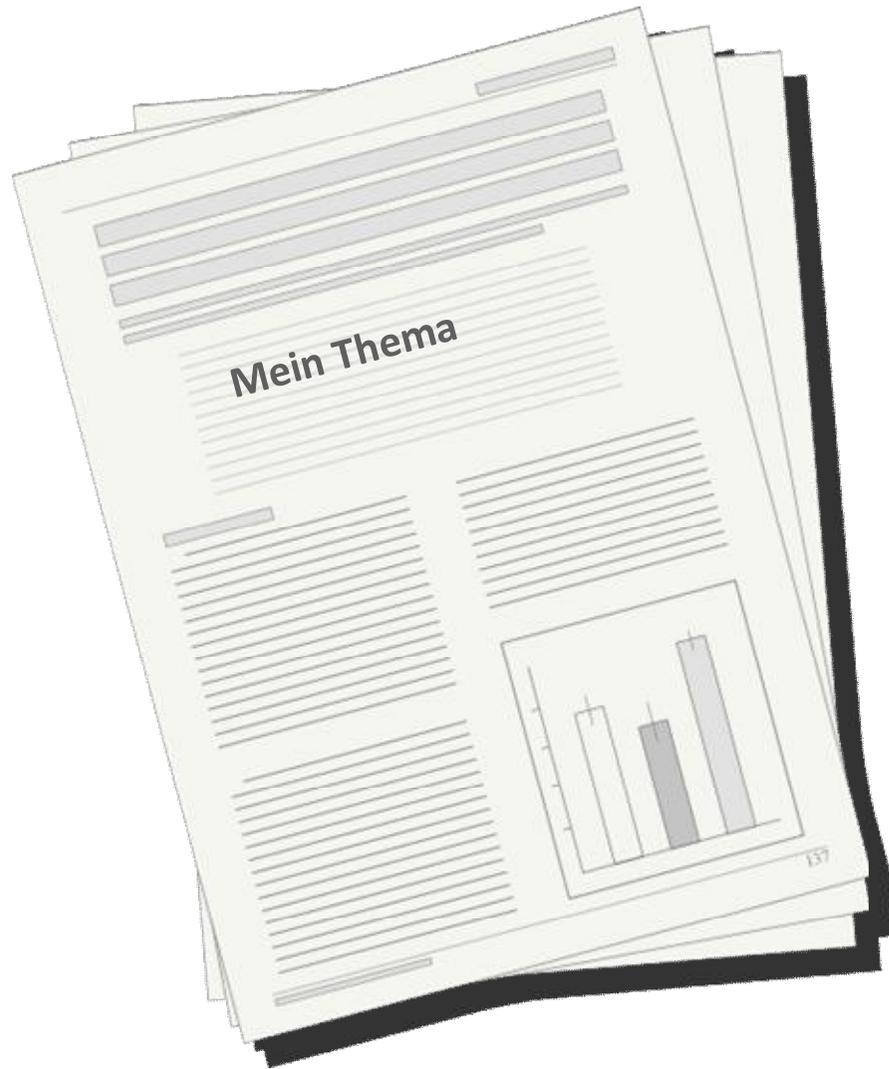
2: [www.olcf.ornl.gov/summit/](https://www.olcf.ornl.gov/summit/)

3: <http://aurora.alcf.anl.gov/>

- Aktuelle Trends und Entwicklungen bei HPC Systemen
  - Welche neuen Entwicklungen gibt es in bezug auf HW, Programmierung, Laufzeit- und Betriebssystemen, ...
  - Es gibt im Moment viele neue Entwicklungen...
  
- “Evolutionär” und kurz vor der Martreife, zB.
  - Persistent Memory (NVRAM)
  - High bandwidth RAM (zB. Xeon Phi MCDRAM)
  
- “Revolutionär” und radikal, im Prototypen-Stadium, zB
  - Neuromorphic chips
  - Adiabatic Quantum Computer

- Ziel des Seminars: Darstellung eines abgegrenzten wissenschaftlichen Themas
  - Grundlage sind aktuelle publizierte Arbeiten
  - Selbständige Erarbeitung von wissenschaftlichen Texten
  - Kritische Auseinandersetzung und Bewertung des Materials
  - Erstellen einer Arbeit, in dem das Thema umfassend besprochen wird
    - Korrekte Verwendung von Literatur
    - Richtiges Zitieren
  - Präsentation der Ergebnisse im Rahmen eines Vortrags am Semesterende
  - Unterstützt durch Betreuer während des Semesters

- **Bewertungsgrundlagen für Leistung**
  - Schriftliche Ausarbeitung: Verständlichkeit, Inhalt, Gliederung, Literatur, Schreibstil
  - Präsentation: Verständlichkeit, Vortragsstil, Beherrschung des Themas
  - Mitarbeit: Präsenz bei Veranstaltungen, Einhalten von Abgabeterminen, Fortschritt über das Semester, Zusammenarbeit mit Betreuer



### Schriftliche Ausarbeitung

Erstellt mit LaTeX

Hauptseminar: 8-10 Seiten



Symbolbild!

### Präsentation im Blockseminar am Ende des Semesters

Hauptseminar: ca. 25-30 Minuten Vortrag + Diskussion

# Themen und Betreuer

	Teilnehmer	Thema	Betreuer
LMU	Clemens Manert	Taskbasierte Programmiermodelle (Legion, Charm++)	Karl Furlinger
LMU	Martin Sellmair	Aktuelle GPU-Generationen (Nvidia Pascal, AMD Polaris)	Roger Kowalewski
LMU	<del>Constantinos Stergiou</del>	<del>D-Wave</del>	
TUM	Moritz Dötterl	Verbindungsstrukturen (Intel UPI/NVLink/Extoll)	Marcel Meyer
TUM	Florian Mauracher	Adapteva Parallela	Josef Weidendorfer
TUM	Johannes Offner	Manycore Architekturen (Intel KNL)	Carsten Trinitis
TUM	Konrad Pröll	FGPA für HPC	Carsten Trinitis
TUM	Marcus Rogowsky	CPU/GPU-Kombination (APU)	Tilman Küstner
TUM	Stanislav Teplizki	Neuro-Chips (IBM TrueNorth)	Tilman Küstner

- Neue Hochgeschwindigkeitsnetze (z.B. EXTOLL)
- Aktuelle knoten-interne Verbindungsstrukturen (Intel UPI / NVidia NVLink)
- Micron Automata
- Adapteva Parallela
- Intel Xeon Phi (Kights Landing): Hardware und Programmierung
- FPGA für HPC
- Speichertechnologien (NVRAM, 3D Stacking)
- CPU/GPU-Kombination (AMD APUs)
- Neuromorphic Computing (z.B. IBM TrueNorth)
- Quantencomputer (z.B. DWave)
- Aktuelle GPU-Generationen (NVidia Pascal, AMD Polaris)
- MPI-Erweiterungen zu Fehlertoleranz
- Task-basierte Programmiermodelle (Legion, Charm++)
- Neue OS-Konzepte für HPC gegen Jitter/Noise

# Ablauf des Seminars und Termine

Okt.



**Einführungsveranstaltung**  
Do 20.10.2016, 14:15 Uhr  
Amalienstr. 73A



**Präsentations- und Arbeitstechnik**  
Do. 27.10.2016, 15:15 Uhr, Garching, FMI, Raum 01.06.020

Nov.

**Abgabe: Gliederung, 6.11.2016**

Alle Abgaben per Email  
an den Betreuer



**Gastvortrag zum Thema: TBA**

Dez.-Jan.

**Abgabe: Entwurf Seminararbeit, 18.12.2016**

**Abgabe: Finale Seminararbeit, 15.01.2017**

**Abgabe: Präsentationsfolien, 29.01.2017**



**Blockseminar Frauenchiemsee**  
1.-2.02.2017 (Mittwoch-Donnerstag)