

# Hochleistungsrechner: Aktuelle Trends und Entwicklungen

## Wintersemester 2017/2018

### Zen Mikroarchitektur

Thomas Ledwon  
Ludwig-Maximilians-Universität München

## Zusammenfassung

Thema dieser Arbeit ist Zen, die neueste Entwicklung von AMD auf dem Gebiet der Mikroprozessor-Architektur. Dabei wird auf Erneuerungen gegenüber der Vorgängerversion Bulldozer beziehungsweise auf die darauf aufbauenden Architekturen eingegangen. Den neuesten Prozessoren von Intel, dem Marktführer im Consumer- und HPC-Bereich, wird der AMD Ryzen 7 als neueste Implementierung der Zen Architektur gegenübergestellt. Anhand des VASP-Codes [9], der im HPC Bereich als Performanceindikator angesehen werden kann, werden Intel-Prozessoren und das Flaggschiff von AMD Ryzen 1800X in Bezug auf die beiden Leistungsindikatoren Performance und Energieeffizienz miteinander verglichen. Es zeigt sich, dass AMD mit der Zen Prozessorenfamilie seine Fähigkeit bewiesen hat, weiterhin Prozessoren fertigen zu können, die die Konkurrenz mit Intel nicht zu scheuen brauchen.

## 1 Einführung

Im Jahr 2011 brachte AMD auf Basis der Bulldozer-Mikroarchitektur die FX-Prozessorenfamilie mit den Modellen FX8150, FX8120 und FX6100 auf den Markt. Einige Jahre später wurden diese durch die Modelle FX8350, FX8320 und FX6300 ersetzt. Diese waren aber im Vergleich zu den Intel Prozessoren in den Bereichen Instruktionen, Optionen sowie IPC unterlegen [13]. Zen, die folgende Mikroar-

chitekturgeneration wurde von Grund auf neu entworfen. Die darauf basierenden CPUs heißen Ryzen beziehungsweise EPYC für den Serverbereich [6]. Die EPYC Prozessoren bieten bis zu 32 Kerne mit 64 Threads und 2 TB an DDR4-Speicherkapazität über 8 Kanäle. Produkte mit diesen Prozessoren kommen Ende des Jahres 2017 auf den Markt. [2] Ziel von AMD ist es, im Vergleich zu Intel in punkto Performance konkurrenzfähig zu werden und Marktanteile zurück zu gewinnen [8]. Am 2. März 2017 wurden die ersten Hardwarereviews zu AMDs neuem Flaggschiff-Prozessor Ryzen 7 1800X online gestellt. Die AMD Ryzen Familie besteht aus drei Typen, dem AMD Ryzen 3 im Einsteigersegment, AMD Ryzen 5 im Mittelklassensegment und dem AMD Ryzen 7 im hochpreisigen Segment. Vor allem im höherpreisigen Segment möchte AMD mit geringere Preise und durch höhere Rechenleistung, als vergleichbare Intel-Prozessoren aufweisen können, Druck auf den Marktführer Intel aufbauen [11].

Das Paper ist nun wie folgt gegliedert. Zuerst werden Neuerungen der Zen Mikroarchitektur gegenüber der Vorgängerversion, der Bulldozer Architektur, vorgestellt. Danach werden Unterschiede zu Intel Prozessoren der Coffe Lake Generation hervorgehoben. In dem darauffolgendem Abschnitt werden der AMD Ryzen 1800x, einige Intel Prozessoren und der IBM Power 7 CPU in den Kriterien Performance und Energiekonsum miteinander verglichen. Der letzte Abschnitt dieser Arbeit beinhaltet das Fazit.

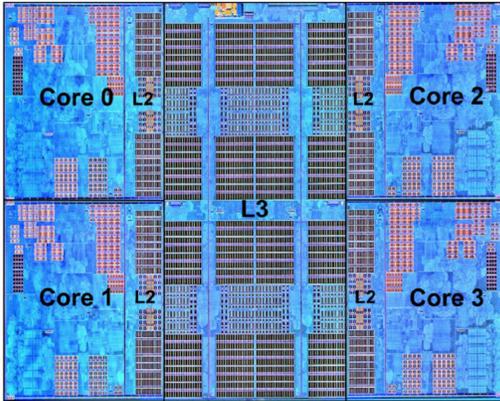


Abbildung 1: Zen Core Complex Die (Quelle [14])

## 2 Neuerungen in der Architektur

Das Quad-Core Complex (CCX) (Abbildung 1) Design der Zen Architektur verfolgt einen anderen Ansatz als der Vorgänger, die Bulldozer-Architektur. Die Bulldozer CPUs sowie deren Derivate (Piledriver und Excavator) setzten auf Zweikern-Module, wo jeder Kern einige Ressourcen mit dem anderen Kern teilt. Dabei hat jeder Kern eine eigenständige Integerberechnung, geteilt werden der Fetch, das Dekodieren, Floating-Point Berechnungen, und der L2-Cache [12]. Die Vierkern-Module in Zen haben eine diskrete Logik, in der von den Kernen nur der Zugang zum L3-Cache geteilt wird.

Die vierkernigen Bulldozer-Chips nutzen ein Zwei-Modul-Design, die Achtkern-Chips ein Vier-Modul-Design. Die achtkernigen AMD-Chips, z.B. der FX-8370, sind somit im Endeffekt Vierkern-CPU's. Wo hingegen bei Zen jeder Kern abgesehen vom L3-Cache vollkommen autonom arbeitet [8]. Verbesserungen am internen Schaltkreis durch neue Techniken wie wordline boost [17], contention-free dynamic logic, supply drop detection mit mitigation [14], erhöhen die Performance und die Energieeffizienz [15].

Die Zen Architektur verfügt nun über Advanced Vector Extensions 2 (AVX2) [3], die von Intel

mit den Haswell Chips eingeführt wurde. Diese unterstützen das parallele Ausführen von speziellen Instruktionen in 256-Bit-Vektorregistern. In den Registern können somit zum Beispiel 8 Float oder 4 Double Werte gespeichert werden [10]. AVX2 unterstützt Floating-Point-Arithmetik und Fused-Multiply-Add (FMA) mit drei Operaden, wie z.B. die Instruktion  $A = A * B + C$ . In der Performance ist AVX2 bei bestimmten 64-Bit-Operationen 4 mal schneller also vorherige Instruction Sets [5].

Eine weitere Neuerung beim AMD ist ein integrierter op-Cache. In diesem kleinen Speicher werden Instruktionen gespeichert, die zuvor schon dekodiert wurden. Jedes Mal wenn die CPU eine Instruktion benötigt, die schon in diesem Cache liegt, werden Zeit und Energie gespart, da das Fetching und das Dekodieren entfällt [6].

AMD hat unter dem Vermarktungsnamen AMD SenseMIT fünf neue Technologien eingeführt. Zu SenseMIT gehören Neural Net Prediction, Smart Prefetch, Pure Power, Precision Boost and Extended Frequency Range.

Die Neural Net Prediction erlaubt es dem Prozessor sich über, eine KI selbst zu trainieren und dadurch die benötigten Instruktionen vorzuladen, so dass diese schneller ausgeführt werden können. Wenn Net Prediction herausgefunden hat, welches die benötigten Instruktionen sind, lernt die Smart Prefetch Technologie vorherzusagen, welche Daten eine Anwendung benötigt und versucht, diese schon bereitzustellen, bevor sie benötigt werden.

Sensoren, die im Prozessor integriert sind, sind Voraussetzung für Pure Power und Precision Boost. Pure Power und Precision Boost arbeiten Hand in Hand um den Energieverbrauch und die Frequenz im Millisekunden Bereich bestmöglich an die gegenwärtige Situation anzupassen. Dies geschieht dadurch, dass nicht benötigte Komponenten des Chips heruntergefahren oder in reduziertem Umfang ausgeführt werden. Dies geschieht auf Hardwareebene vollautomatisch.

Die Extended Frequency Range Technologie ist ähnlich wie die GPU boost Technologie von Nvidia Grafikkarten. Hier ist die Taktfrequenz nicht von fest definierten Parametern abhängig, sondern so

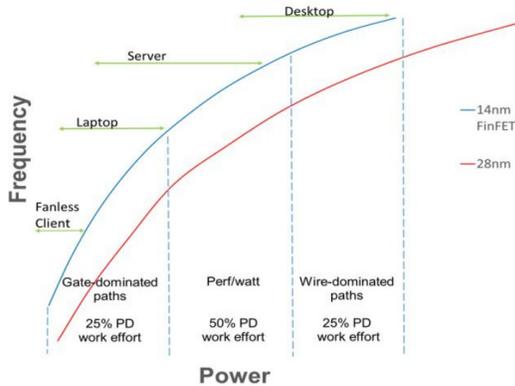


Abbildung 2: Zen CCX Optimierung für unterschiedliche Marktsegmente (Quelle [14])

gut wie komplett von der Hitzeentwicklung und der Kühllösung. SenseMIT ist somit eine automatische Übertaktungsmöglichkeit der CPU, die nur von der Kühlleistung abhängig ist und je höher deren Leistung, desto höher deren Frequenz [8].

Das Konzept der Zen Mikroarchitektur wurde im Hinblick auf Performance komplett überarbeitet. Zusammen mit einer höheren Bandbreite und einem Cachesystem mit sehr niedriger Latenz, stellt dies einen signifikanten Leistungszuwachs gegenüber der älteren Bulldozer-Architektur dar. Die Fertigungsgröße der FinFet [7] Transistoren schrumpft dabei auf 14nm (Abbildung 2). Der IPC, also die Instruktionen die pro Zyklus beendet werden, wurde hauptsächlich durch eine Verbesserung der branch prediction erhöht. Der IPC wurde im Vergleich gegenüber der Intel-Architektur als eine der Schwachstellen der Bulldozer Architektur angesehen. Zen kann nun 6 Instruktionen pro Zyklus senden, während es bei Bulldozer nur 4 Instruktionen waren. Im Cachesystem wurde die Bandbreite des L1 und L2-Cache verdoppelt und der L3-Cache verfünffacht, der L2-Cache kann 50 Prozent schneller und der L3-Cache 70 Prozent schneller angesprochen werden [6]. Dies sollte besonders bei HPC Anwendungen einen Ausschlag geben. Das SMT

Multithreading wurde ausgebaut mit Kernen, die auf SMT basieren um konkurrenzfähig zu Intels HyperThreading zu werden [8].

Durch all diese Verbesserungen konnte der IPC erhöht, der Stromverbrauch konstant gehalten und AMD Ryzen attraktiver für den Markt gemacht werden.

### 3 Unterschiede zu Intel Coffee Lake

Intel CPUs gehören zu den am meisten installierten Komponenten in HPC Systemen [16]. Intels performantester Prozessor auf Basis der Intel Coffee Lake Mikroarchitektur (Intel Generationen ab 2011: Sandy Bridge, Ivy Bridge, Haswell, Skylake, Caby Lake, Coffe Lake), der im selben Marktsegment wie der AMD Ryzen liegt, hat nur 6 Kerne im Vergleich zu AMDs Ryzen mit 8 Kernen. Wegen eines höheren IPC Durchsatzes und einer höheren Frequenz hat Intel jedoch theoretisch eine höhere Performance pro Kern. Sowohl Intels Core i7 wie auch AMD Ryzen Chips bieten Kerne, die ein oder auch zwei Threads parallel bearbeiten können. Somit hat AMD mit seinen 8 Kernen 16 virtuelle Kerne wohingegen Intel nur auf 12 virtuelle Kerne kommt.

Intels Memory Geschwindigkeit mit DDR4-2666 stimmt mit der schnellsten Memory Lösung des AMD Ryzen mit single-rank Memory und einem DIMM pro Kanal überein. Beide Prozessoren bieten Dual-Channel Speicher. Intel bietet einen höheren Speichertakt, der aber nur bei extremem Übertakten zum Tragen kommt. Die Ryzen Prozessoren haben dafür einen höheren L2 und L3-Speicher.

Intel hat eine höhere Leistungsentfaltung und eine performantere Boost Option. Intel setzt auf seine Turbo Boost Technologie, wenn gerade nicht alle Prozessorkerne benötigt werden. Dadurch hat Intel einen bis zu 1 GHz größeren Vorteil auf Basis seines Boost. (Tabelle 1) Gegenüber Ryzen, das die Übertaktungsfrequenz über alle Kerne automatisch ausführt, ist bei Intel das Übertaktungspotential höher. Der TDP ist bei den Flaggschiffen von Intel

Tabelle 1: Spezifikationen der Flagship Prozessoren (Quellen [3] [1])

	Intel Core i7-8700K	Intel Core i7-8700	Ryzen 7 1800X [3]
Cores/Threads	6 / 12	6 / 12	8 / 16
Base Frequency	3.7 GHz	3.2 GHz	3.6 GHz
Boost Frequency	4.7 GHz	4.6 GHz	4GHz
Memory Speed	DDR4-2666	DDR4-2666	DDR4-1866 bis DDR4-2667
Memory Controller	Dual-Channel	Dual-Channel	Dual-Channel
Unlocked Multiplier	ja	nein	ja
Cache (L2+L3)	13.5MB	13.5MB	20MB
Process	14nm	14nm	14nm
TDP	95 W	95 W	95 W

und Ryzen gleich [1].

## 4 Performanceunterschiede

Um die Performanceunterschiede des AMD Ryzen 1800X mit unterschiedlichen Intel Prozessoren zu vergleichen hat Vladimir Stegailov und Vyacheslav Vecher in dem Paper "Efficiency Analysis of Intel and AMD x86.64 Architectures for Ab Initio Calculations: A Case Study of VASP" Tests mit VASP Code durchgeführt. VASP steht für Vienna Ab Initio Simulation Package [9] und gehört zu den meist genutzten Anwendungen bei Berechnungen von elektronischen Strukturen mit ab initio Methoden, also nicht empirischen Methoden. Dieser Code ist für 15-20 Prozent der Rechenleistung aller weltweiten Berechnungen mit Supercomputern verantwortlich. Er ist somit ein guter Indikator zur Bestimmung der Performance von CPUs im HPC-Bereich [16].

In HPC Systemen ist heutzutage die Energieeffizienz eines der größten Probleme, das wohl auch in Zukunft so bleiben wird. Die Anstieg des Stromverbrauchs und die Entwicklung von Hitze sind die Hauptprobleme bei der Messung von Performancetests. Dadurch werden solche Messungen von Performance und Energie immer mehr beweisbasiert geführt.

In diesem Abschnitt werden nun einige Intel CPUs,

der AMD Ryzen 1800X mit den Ergebnissen aus Messungen mit dem IBM Power 7 CPU aus dem "Best Practice Guide — IBM Power 775" von IBM [4] verglichen. In Tabelle 2 werden die Leistungsmerkmale der Systeme aufgeführt. Als Betriebssystem für das Testsystem kommt Ubuntu Linux zum Einsatz. VASP kommt für Intel als Version 5.4.1 mit Intel Fortran, Intel MPI und Intel MKL für BLAS, LAPACK und FFT calls. Für das AMD System VASP 5.4.1 mit gfortran ver. 6.3 mit OpenMPI, OpenBLAS und FFTW libraries.

Das VASP Modell repräsentiert einen GaAs Kristall, der aus 80 Atomen in der Superzelle zusammengesetzt ist. Der Parameter  $\tau_{iter}$  dient als Parameter für die Messung der Zeit bei der Berechnung.  $\tau_{iter}$  Werte dauern 10 bis 100 sec und gehören zu einem einzigen Knoten eines HPC Cluster.

Der Stromverbrauch wird bei dem Single Socket System über digitales sampling mit dem Linux apcupsd Treiber während den VASP Berechnungen gemessen. Es wird der gesamte Stromverbrauch der CPU, des Memory, des Motherboards und der PSU gemessen.

Performancemessungen mit unterschiedlichen CPUs, unterschiedlichen Frequenzen sowie unterschiedlicher Peak Performance sind problematisch durchzuführen. Aus diesem Grund wird in dem Pa-

Tabelle 2: Eigenschaften der Systeme für den Performancetest (Quelle [16])

	$N_{cores}$	$N_{mem.ch}$	L3 (MB)	$CPU_{freq}$ (GHZ)	$DRAM_{freq}$ (MHZ)
Single socket, Intel X99 chipset					
Xeon E5-2620v4	8	4	20	2.1	2133
Core i7-6900K	8	4	20	2.1 - 3.2	2133-3200
Xeon E5-2660v4	14	4	35	2.0	2400
Single socket, AMD B350 chipset					
Ryzen 1800X	8	2	16	3.6	2133 - 2400
Dual socket, Intel C602 chipset (the MVS10P cluster)					
Xeon E5-2690	8	4	20	2.9	1600
Dual socket, Intel c612 chipset (the MVS1P5 cluster)					
Xeon E5-2697v3	14	4	35	2.6	2133
Dual socket, Intel C612 chipset (the IRUS17 cluster)					
Xeon E5-2698v4	20	4	50	2.2	2400
Quad socket, IBM Power 775 (the Boreasz cluster)					
Power 7	8	4	32	3.83	1600

per von Vladimir Stegailov und Vyacheslav Vecher mit dem reduzierten Parameter  $R_{peak-\tau-iter}$ , der die Peakperformance von  $\tau_{iter}$  repräsentiert, und um das Speichersystem zu beschreiben mit  $N_{cores} / N_{mem.ch}$  gearbeitet. Die Speicherbandbreite wird hierbei vernachlässigt. Die Abbildung 5 zeigt die gleichen Daten wie die Abbildung 4 aber mit den reduzierten Parametern. Dadurch wurden die Unterschiede in der floating point Performace der unterschiedlichen CPU Kerne und die Unterschiede in der Anzahl der Speicherkanäle entfernt. Der Anstieg von  $R_{peak-\tau-iter}$ , der proportional zu der Anzahl von CPU Zyklen führt, zeigt den Anstieg des Overhead aufgrund der limitierten Speicherbandbreite. Die weitere Verteilung der Datenpunkte im Abbildung 4 kann zum Teil auf die unterschiedlichen L3 Cache Größen der unterschiedlichen CPU zurückgeführt werden. In Abbildung 6 werden die Datenpunkte aus Abbildung 4 ausgewählt die zu dem reduzierten Parameter  $N_{cores}/N_{mem.ch} = 1-2$  zählen und plotten die  $R_{peak-\tau-iter}$  Werte als eine Funktion der L3 Cachegröße pro Kern. Daraus folgt, je größer die L3 Cachegröße pro Kern ist, desto kleiner ist der  $R_{peak-\tau-iter}$  Wert.

In Abbildung 7 und Abbildung 8 werden die durchschnittliche und die totale verbrauchte Energie als Funktion von  $\tau_{iter}$  dargestellt. Diese Experimente mit dem Core i7 6900K zeigen, dass die Erhöhung der DRAM Frequenz von 2133 auf 3200 zu einem 10 Prozent höheren Energiebedarf führen, aber dafür 10 Prozent kleinere Iterationen für 4 und 8 Kerne benötigt werden. Für die E5-2620v4 und E52660v4 lässt sich schlussfolgern, dass nicht aktive Kerne nicht signifikant zu einer Erhöhung des Energiebedarfs führen. Der AMD Ryzen 1800x hat ein ähnliches Maß an Energiebedarf. Nur beim Übergang von 1 zu 2 Kernen ist der durchschnittliche Energiebedarf höher als bei den Intel Broadwell Prozessoren. Dies hat wahrscheinlich mit der Aktivierung der beiden Quad-Core CPU Complexen des AMD Ryzen zu tun. Die CPU mit der besten Leistung und Energieeffizienz der untersuchten CPUs ist der Intel E5-2660v4 mit 4 Kernen [16].

## 5 Fazit

Es wurde gezeigt, dass der neue AMD Ryzen von der Performance mit den Intel CPUs (Sandy Bridge, Haswell und Broadwell) vergleichbar ist. Die komplette Überarbeitung der Architektur mit von Intel Prozessoren bekannten Technologien und eigenen Techniken macht sich bemerkbar. Im Test mit dem VASP Code, als Indikator für HPC Anwendungen, konnte gezeigt werden, dass für diesen Code die optimale Anzahl von Memory Channels bei 1 bis 2 liegt. Mehr als 2 Kerne pro Kanal bringen keine Beschleunigung. Die VASP Performance erhöht sich stark mit größerem L3 Cache. Jedes weitere MB an L3 Cache pro Kern verringert die Zeit bis zur Lösungsberechnung um 30 bis 50 Prozent. Es lässt sich allgemein sagen, dass Prozessoren mit größerer L3 Cachegröße bei gleicher Performance weniger Energie benötigen. AMD hat mit der Erhöhung des L3 Cache bei der Zen Mikroarchitektur sowie Technologien, die schon von Intel bekannt sind und neuen Techniken, zu Intel aufschließen können.

Durch die Zen Plattform, dessen Implementierung der AMD Ryzen darstellt, ist AMD zu einem ernstzunehmenden Konkurrenten für den Marktführer Intel geworden.

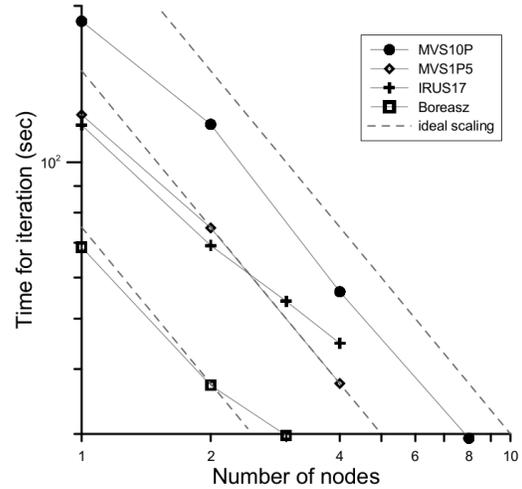


Abbildung 3: Performancetest mit 8 Kernen pro Socket (Quelle [16])

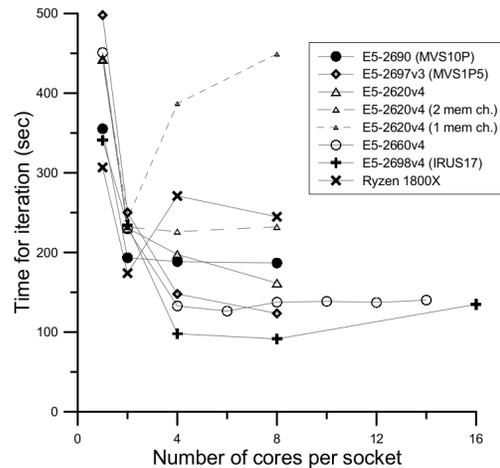


Abbildung 4: Die Zeit für den ersten Berechnungsdurchgang (Quelle [16])

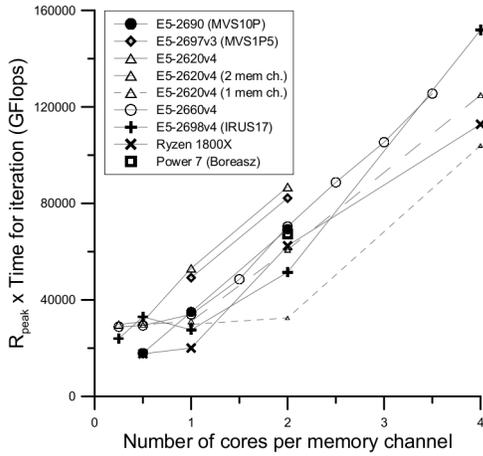


Abbildung 5: Die Zeit für den ersten Berechnungsdurchgang mit dem reduzierten Parameter  $R_{peak\_T\_iter}$  und  $N_{cores}/N_{mem.ch.}$ . (Quelle [16])

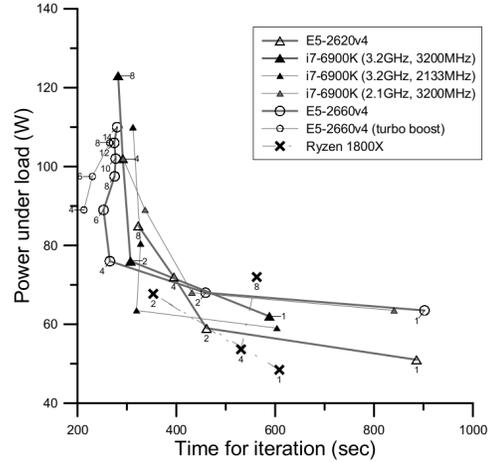


Abbildung 7: Durchschnittliche Leistungsaufnahme unter Last. Die Anzahl der Kerne ist in der Abbildung gekennzeichnet. (Quelle [16])

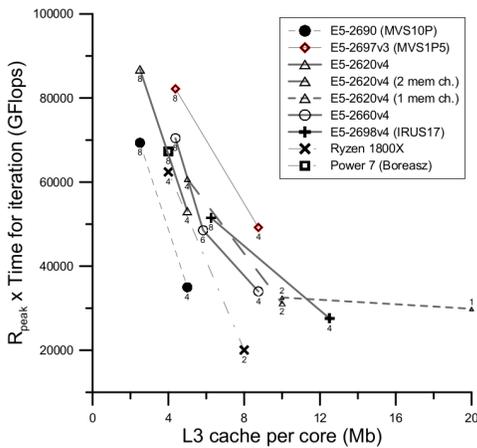


Abbildung 6: Die Abhängigkeit des Parameter  $R_{peak\_T\_iter}$  vom L3-Cache pro Kern. (Quelle [16])

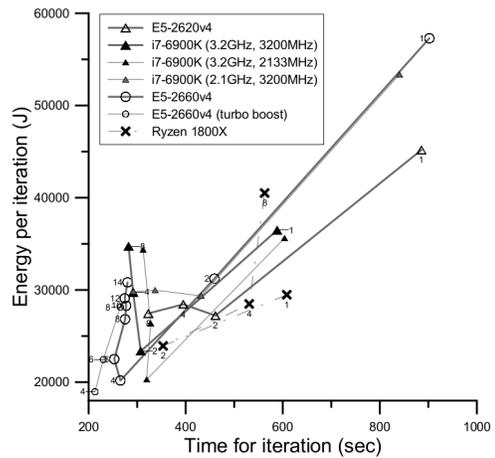


Abbildung 8: Durchschnittlicher Energiebedarf pro Berechnungsschritt. Die Anzahl der Kerne ist in der Abbildung gekennzeichnet. (Quelle [16])

## Literatur

- [1] Paul Alcorn. Intel coffee lake vs. ryzen: A side-by-side comparison. <http://www.tomshardware.com/news/intel-coffee-lake-amd-ryzen,35546.html>, besucht: 2017-12-12, 2017.
- [2] AMD. Amd epyc 7000. <http://www.amd.com/de/products/epyc-7000-series>, besucht: 2017-12-12, 2017.
- [3] AMD. Amd ryzen 7 1800x. <https://www.amd.com/en/products/cpu/amd-ryzen-7-1800x>, besucht: 2017-12-12, 2017.
- [4] Maciej Cytowski. Best practice guide — ibm power 775. <http://www.prace-ri.eu/IMG/pdf/Best-Practice-Guide-IBM-Power-775.pdf>, besucht: 2017-12-12, 2013.
- [5] Armando Faz-Hernández and Julio López. Fast implementation of curve25519 using avx2. In *International Conference on Cryptology and Information Security in Latin America*, pages 329–345. Springer, 2015.
- [6] Linley Gwennap. Epyc: Designed for effective performance. 2017.
- [7] Digh Hisamoto, Wen-Chin Lee, Jakub Kedzierski, Hideki Takeuchi, Kazuya Asano, Charles Kuo, Erik Anderson, Tsu-Jae King, Jeffrey Bokor, and Chenming Hu. Finfet-a self-aligned double-gate mosfet scalable to 20 nm. *IEEE Transactions on Electron Devices*, 47(12):2320–2325, 2000.
- [8] Dave James. Amd ryzen reviews, news, performance, pricing, and availability, 2017. <https://www.pcgamesn.com/amd/amd-zen-release-date-specs-prices-rumours/>, besucht: 2017-12-12.
- [9] Georg Kresse and J Furthmüller. Vienna ab-initio simulation package (vasp). *Vienna: Vienna University*, 2001.
- [10] Chris Lomont. Introduction to intel® advanced vector extensions. <https://software.intel.com/en-us/articles/introduction-to-intel-advanced-vector-extensions>, besucht: 2017-12-12.
- [11] R Lutsishin. The cheapest and most powerful microprocessor? *Collection of theses of the All-Ukrainian Student Scientific and Technical Conference: Natural and Humanitarian Sciences. Topical Issues*, 1:60–60, 2017.
- [12] H. McIntyre, S. Arekapudi, E. Busta, T. Fischer, M. Golden, A. Horiuchi, T. Meneghini, S. Naffziger, and J. Vinh. Design of the two-core x86-64 amd; bulldozer; module in 32 nm soi cmos. *IEEE Journal of Solid-State Circuits*, 47(1):164–176, Jan 2012.
- [13] SL MERISTATION MAGAZINE. Amd ryzen, en detalle,¿ amenaza al imperio intel?, 2017. <http://meristation.as.com/reportaje/amd-ryzen-en-detalle-amenaza-al-imperio-intel/2180726>, besucht: 2017-12-12.
- [14] T. Singh, S. Rangarajan, D. John, C. Henrion, S. Southard, H. McIntyre, A. Novak, S. Kosonocky, R. Jotwani, A. Schaefer, E. Chang, J. Bell, and M. Co. 3.2 zen: A next-generation high-performance x86 core. In *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, pages 52–53, Feb 2017.
- [15] T. Singh, A. Schaefer, S. Rangarajan, D. John, C. Henrion, R. Schreiber, M. Rodriguez, S. Kosonocky, S. Naffziger, and A. Novak. Zen: An energy-efficient high-performance x86 core. *IEEE Journal of Solid-State Circuits*, PP(99):1–13, 2017.
- [16] Vladimir Stegailov and Vyacheslav Vecher. Efficiency analysis of intel and amd x86\_64 architectures for ab initio calculations: A case study of vasp. In *Russian Supercomputing Days*, pages 430–441. Springer, 2017.
- [17] Yu-Hsiung Tsai and Po-Hao Lee. Word line boost circuit, August 13 2013. US Patent 8,509,026.